

Според начина си за вход и изход съществуват многоразредни регистри, които биват паралелни, последователни, и двата вида едновременно. Според типа на тригерите, които участват в конфигурацията на регистрите се делят на статични и динамични. Най-общата блокова схема на многоразреден регистър е следната:

Регистрите също се делят и според начина на запис в тях- биват парафазни и еднофазни.

Като пример за паралелен регистър с парафазен код можем да посочим например паралелен И регистър с RS-тригери.

Броят на входовете е равен на броя на разредите по две. Ако имаме същият регистър само че с еднофазен код броят на входовете при него намалява два пъти и е равен точно на броя на разрядите.

За да се избегнат състезанията, трябва да се извърши организация на преместващите регистри, т.е. получават се противосъстезателни структури. За тази организация се използва парафазен вход, като е съществена последователността във времето. Нека тригерите в един регистър се управляват от двойката сигнали $\bar{\phi}_1$ и ϕ_1' , те имат вида:

Посочената характеристика показва неустойчивостта на схемата при намаляване продължителността на импулса, защото някои тригери ще се превключат, а други не.

Или казано до тук можем да обясним, че състезанията на паметите се дължат на нееднаквото време за превключване на тригерите.

Състезанията могат да се разделят могат да се разделят на два вида - комбинационни състезания, и състезания на памети. Управлението на тригерите при комбинационните състезания може да се извърши по заден фронт, т.е. в горната характеристика импулсите се заместват с техните инверсни импулси.

При следната схема

която представлява схема за умножение 4x2 бита всички изводи са в инверсна логика. Инверсните стойности са активни, и следователно за нея важи логическото уравнение:

За която фигура е в сила

X_3

X_2

X_1

X_0

$\bar{2}$

Y_1

Y_0

Z_3

Z_2

Z_1

Z_0

$\square 2$

Z_7

Z_6

Z_5

Z_4

K_3

K_2

K_1

K_0

$\square 2$

M_1

M_0

S_5

S_4

S_3

S_2

S_1

S_0

При 4 битова АЛС многофункционалността се постига за сметка на вариране на кодиранията и за сметка вариране на кодировката. т.е.

S_0

S_1

F

L

L

A

-

B

H

L

A

+

B

L

H

A

or

B

H

H

A

and

B

S₀

S₁

F

L

L

A

+

B

H

L

A

-

B

L

H

A

=

B

H

H

A

and

B

