

Среди и системи за автоматизирано проектиране на ИС.

1. Synopsys – състои се от множество програми, всяка от които може да се използван а определен етап от процеса на проектиране. Използва следните модули: модул за синтез на цифрови схеми, включващ множество приложения и библиотеки, модул за симулация на схеми, състоящ се от модули, които позволяват различни видове симулации. Тези модули предлагат и оптимизация по зададено ограничение. Модулите поддържат различни стандарти, което прави системата универсална. Резултатите от нея могат да се използват от други програми, както и тя може да чете от други програми. Има графичен редактор, има набор за работа с езици за хардуерно описание, има модул, който позволява проектиране и оптимизация на програмируеми логически схеми и множество библиотеки, които позволяват да се решат част от задачите за автоматизирано проектиране. Със Synopsys може да се прави имплементация, т.е. могат да се използват модули за логически и тест синтез, да се направи трансляция в net list файл. Може да се прави верификация на всички решавани задачи, както и проверка на поведението на синтезираната схема на гейтово ниво. Системата позволява големите проекти да се декомпонират на части, по които да се работи паралелно. Това прави възможна работата в екип и намалява времето за проектиране. Графичния редактор позволява въвеждане на информация за проекта и графичен достъп до компонентите по време на симулация. Той както и символния редактор позволяват графично описание на проекта, с помощта на така наречения йерархичен навигатор. Той поддържа връзка със симулатор, дебъгера и цифровия осцилоскоп и разрешава графичен достъп до проектът по време на симулация. Synopsys притежава и набор от приложения за симулиране и проверка на HDL схемно описание. Има възможност за връзка със C базирани модели, както и със симулатори на други производители. Модулите включват HDL комуникатор, който транслира описанията от VHDL в междинен код, удобен за четене от симулатора. Той може да се пуска и в графичен режим. Разрешава достъп едновременно до сорс кода и до системата, има HDL симулатор, който извършва симулацията. Разработен е език за управление на симулацията SCL, който позволява на потребителя следните неща: стартиране и спиране на процеса; приложение на симулационно въздействие; да поставят точки за прекъсвания; да му задават сигналите и да предприема дадени действия в съответствие с предварително определени условия; да изобразява стойностите на важни регистри, специално създадени за тази цел. Езика притежава конструкции за цикъл, преход и условие и може да се предефинира дадена команда. Има друг модул и това е така наречения дебъгер, чрез който се осигурява постъпково изпълнение на HDL сорс кода. Управлява симулатора и едновременно с това дава достъп до сорс кода. Така лесно и бързо се откриват грешки. При откриването им се изпълнява следната процедура: редакция на сгрешения код; реанализ на проекта; рестарт на симулацията. Като възможности Synopsys предлага архитектурен синтез, базиран на HDL описание, логически синтез, базиран на описание на гейтово ниво, приложения и библиотеки, които позволяват аритметична оптимизация, времево и площ базирано разпределение

на ресурсите, опростяване на логически изрази, селектиране на ресурси по определени параметри и ограничения и използване на готови модули. Самите етапи за цифров синтез: зареждане на проекта, установяване на атрибути за проектиране от горе на долу, осигуряване на реалистични ограничения за площ и време, проверка на проекта, корекция за грешки, симулация, оптимизация, генериране на крайни отчети за проекта и при необходимост се прави реоптимизация, след модификация на атрибутите или ограничения ако целите им са постигнати, повторно генериране на кода.

2. Cadence – това е система, която позволява автоматизирано проектиране на всички етапи и всички нива на абстракция от спецификация до физическа реализация. Разделен е на 22 модула. Използва се най-вече за дизайн от горе на долу на ИС. При описания от най-високо ниво до генериране на топологията на схемата. Може и да се използва за проектиране на базата на стандартни клетки и макро клетки. Тази система изисква да има графични функции. Cadence има структура на организация и управление на базата от данни, като всички данни са организирани в клетки и в тях се съдържа информация за слоевете, правилата за съответния процес, свързани със правила при символно представяне, норми на проектиране, норми на разположение и др., информация за клетки и макро клетки и др. Cadence също има и графичен и символен редактор. Поддържа почти всички стандарти. Един от най-използваните е EDIF. Synopsys и Cadence могат да обменят информация.

3. Web Pack.

4. MECHXL на AMD – тази система може да работи под DOS. Чрез нея може да се въвежда описанието на поведението на проекта. Самото описание на поведението се прави чрез уравнения и/или структурни оператори, като получения файл е с разширение .pds. Разполага с опция за въвеждане на нов проект, с която подсказва задължителни елементи на едно описание. Системата разполага с компилатор, като компилирането на проекта е в 5 стъпки:

- синтактична проверка – като входни данни се използва файла с разширение pds, изходните файлове са 2: за съобщения с разширение log; за междинни резултати .tre;

- двоичен пост процесор – има за цел да замести използваните логически имена за вектори и групи, да преобразува към булеви уравнения структурните оператори и да обедини написаните за един и сигнал. Съобщенията ги прави във log файл;

- интерпретатор на състоянието – преобразува операторите State в булеви уравнения, като ако се работи с краен автомат не е необходимо да се използва тази стъпка;

- логически минимизатор и разпределител – преобразува сумите от логически произведения до възможно най-адекватните входни. Елиминира излишните изрази и извършва практическото разпределение. Разпределителят всъщност е самият компилатор. Той проверява наличността и достатъчността на ресурсите. Извършва разпределяне по програмируемите блокове и генерира съответните отчети. Чрез него се създава и файл за външно програмиране. След компилиране на проекта се прави проверка възможно ли е поместване на чипа. Ако не е възможно се прави корекция на описанието и отново се минава през компилиране. Ако е възможно се прави разполагане, задават се номерата на плаващите изводи. След тази стъпка се прави симулация. Въвежда се в програматора.

5 Designer – на фирма Actel – предназначена е за работа с различни редактори, като Cadence, OrcCAD и др. Може да се използва на различни хардуерни платформи. Системата разполага с графичен и символен редактор, чрез които се прави въвеждане на описанието. За това описание се използват библиотеки от елементи. Системата дава възможност за функционална симулация. Може да се прави преди опроводяване както и след опроводяването. Има набор за визуализация на резултатите в графичен вид под формата на диаграми на превключванията. Тази система има възможност за оптимизация на описанието. След тази оптимизация може да се направи избор на устройство, след което може да се направи програмиране и отново да се направи проверка на дизайна. Системата разполага с модул за извличане на връзките, модул за PAL описание, модул за отражение на закъснението и с модул за представяне на статичните времеви съотношения.

6. Syntheser – това е съвременен силиконов синтезатор, който позволява реализиране на схеми на базата на поведенческо описание, а също така може да прави синтез на базата на оптимизирано регистрово описание. Чрез него може да се анализира функционалността на дизайна чрез използване на оригинални тестове, а също така може да се определят и всички зависимости между данните и управляващите елементи. Може да се използва за програмиране на IP ядра, като за целта продукта използва универсална технология.

7. Spark – това е система, която може да прави паралелен синтез на високо ниво на

базата на поведенческо описание. Използва паралелен компилатор и нови техники за синтез. Чрез нея може да се генерира синтезиран вход на HDL описание от регистрово ниво, използвайки хардуерни ресурсни библиотеки. Има възможност да се поставят ресурсни и времеви ограничения. Има възможност потребителя да контролира процеса чрез скриптов езици. Паралелизма на входа и техниките за трансформация се формират в етап на пресинтезиране, и това позволява потребителя да контролира сами процес на синтез. Генерира се изходен файл на С, който представлява планирания дизайн и се използва за функционална верификация.